

Chapitre III

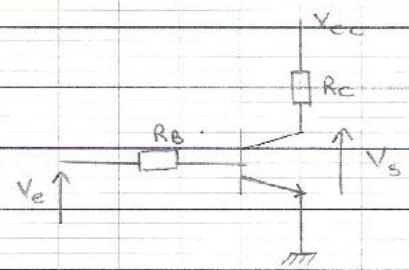
Les circuits logiques combinatoires et séquentiels

Technologie des circuits intégrés :

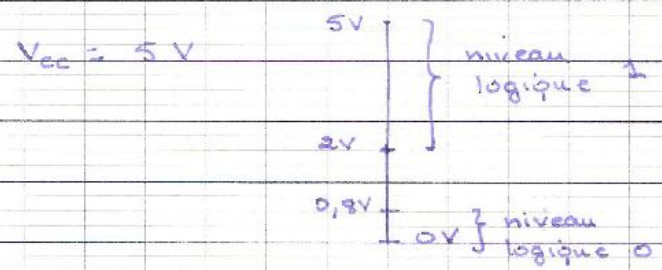
- * TTL
- * CMOS

a) **TTL** = transistor transistor Logic

C'est une technologie à base de transistors bipolaires.



Vcc : tension de polarisation



Inconvénients :

- les tensions de polarisation et des entrées sont fixes (0V, 5V)
- dissipation thermique.

b) **CMOS** = complementary metal oxide semiconductor

C'est la technologie qui est la plus utilisée. Elle est basée sur des transistors à effet de champ.

la tension de polarisation n'est pas fixée à 5V.

la dissipation thermique est moins importante qu'en TTL

tension de polarisation 3V → 15V

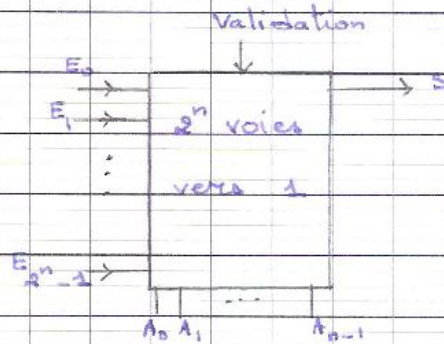
40XX : CMOS
74XX : TTL

Exemple :	$V_{cc} = 10V$	$\left\{ \begin{array}{l} 1 \text{ logique } 10V \\ 0 \text{ logique } 0V \end{array} \right.$
$V_{cc} =$	$\left\{ \begin{array}{l} 1 \text{ logique } V_{cc} \\ 0 \text{ logique } 0V \end{array} \right.$	

Les fonctions logiques combinatoires.

Les multiplexeurs :

Le multiplexeur est un circuit combinatoire qui a pour fonction de sélectionner une de ses entrées et de l'amener vers sa sortie.

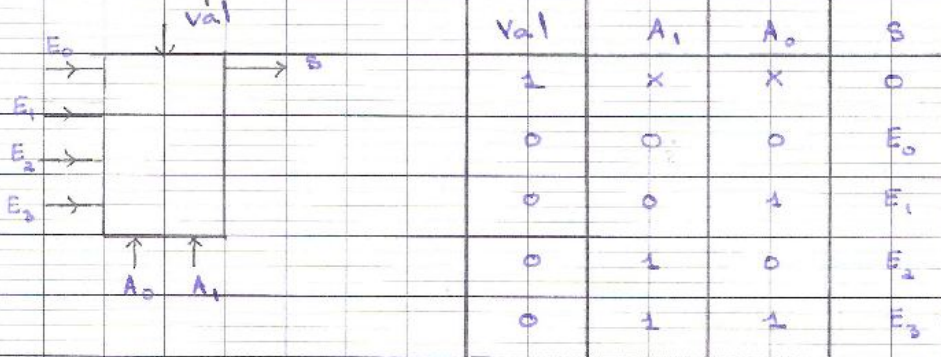


Un multiplexeur est un circuit qui permet de sélectionner une donnée de 1 bit parmi 2^n données de 1 bit.

Chaque entrée est repérée par une adresse codée sur n bits.

L'entrée de validation permet d'inhiber le circuit.

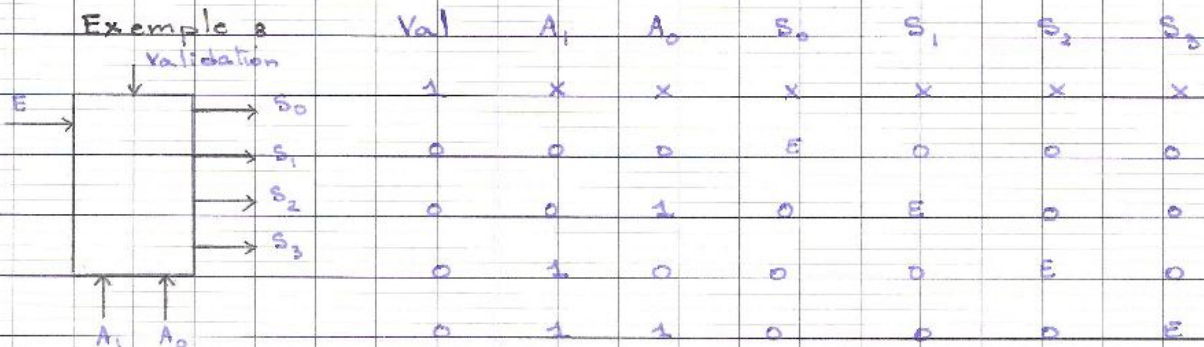
Exemple :



$$S = \bar{A}_1 \bar{A}_0 E_0 + \bar{A}_1 A_0 E_1 + A_1 \bar{A}_0 E_2 + A_1 A_0 E_3$$

Les démultiplexeurs :

Exemple :



Le démultiplexeur suit le principe inverse du multiplexeur : l'entrée est dirigée vers l'une des sorties correspondantes à l'adresse appliquée.

Les comparateurs :

les comparateurs permettent :
 - l'identification
 - la comparaison.

identification : correspondance entre deux codes.

comparaison : deux nombres.

a	b	S
0	0	1
0	1	0
1	0	0
1	1	1

$$S = \bar{a}\bar{b} + a\bar{b} + a\bar{b} + ab = \bar{a}\bar{b} + a\bar{b} + ab + a\bar{b}$$

$$= \bar{a}\bar{b} + a$$

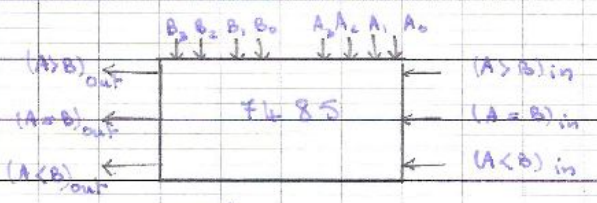
$$= \bar{b} + a$$

$$\begin{cases} a = b & S = 1 \\ \text{si } a < b & S = 0 \\ \text{si } a > b & S = 1 \end{cases}$$

a	b	S
0	0	1
0	1	0
1	0	0
1	1	1

$$\begin{cases} a = b & S = 1 \\ a > b & S = 0 \\ a < b & S = 0 \end{cases}$$

$$S = \bar{a}\bar{b} + ab = a \oplus b$$



Les sorties $A > B$, $A = B$, $A < B$ indiquent l'état de la comparaison en fonction des entrées A_i et B_i .

et des entrées $(A > B)$, $(A = B)$, $(A < B)$.

Les entrées $(A > B)$, $(A = B)$, $(A < B)$ apportent des informations résultantes des comparaisons effectuées sur des bits moins significatives.



Les additionneurs :

$0 + 0 = 0$

$0 + 1 = 1$

$1 + 0 = 1$

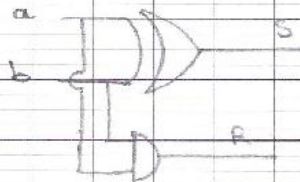
$1 + 1 = 10$

Le but est de réaliser un circuit effectuant la somme entre 2 digits binaires on a besoin de deux sorties la somme et la retenue :

a	b	S	R
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

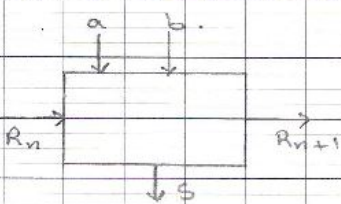
$S = \bar{a}b + \bar{b}a = a \oplus b$

$R = a \cdot b$



Cas de l'additionneur complet :

R_n	a_n	b_n	R_{n+1}	S_{n+1}
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	1	0
1	0	1	1	0
1	1	0	1	0
1	1	1	1	0



a	b	R_n	S	R_{n+1}
0	0	0	0	0
1	0	0	1	0
0	1	0	1	0
1	1	0	0	1
0	0	1	1	0
1	0	1	0	1
0	1	1	0	1
1	1	1	1	1

$S = \bar{a}\bar{b}R_n + \bar{a}bR_n + a\bar{b}R_n + a\bar{b}R_n$

R_{n+1} :

$b R_n$	00	01	11	10
a	0	0	1	0
0	0	1	1	1
1	0	1	1	1

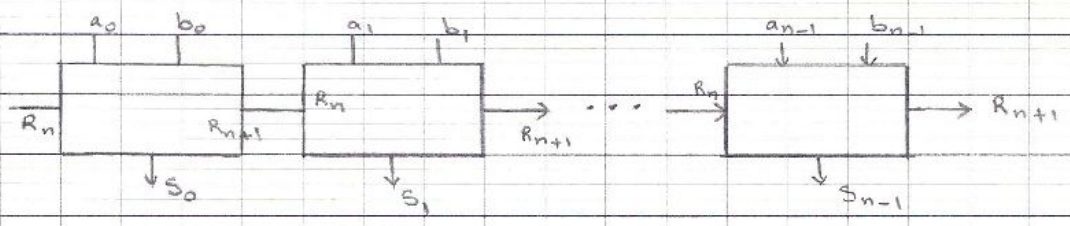
$R_{n+1} = b R_n + a R_n + a b$

S :

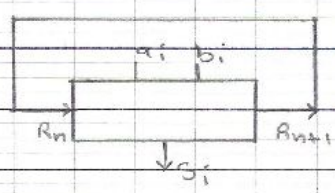
$b R_n$	00	01	11	10
a	0	1	0	1
0	1	0	1	0
1	1	0	1	0

$S = a \bar{b} \bar{R}_n + \bar{a} \bar{b} R_n + a b R_n + \bar{a} b \bar{R}_n$

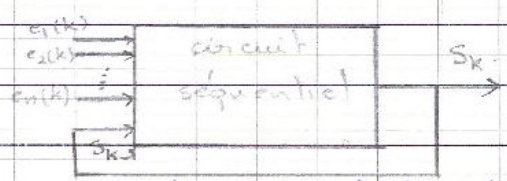
association en parallèle :



association en série :

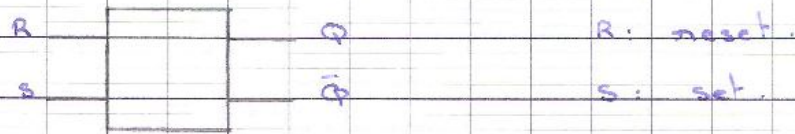


les circuits séquentiels :



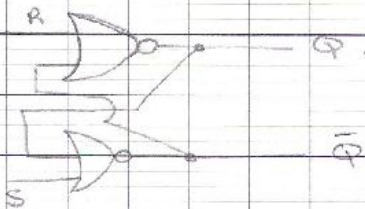
la sortie d'un circuit séquentiel dépend des entrées et de l'état (ou des états) antérieurs de la sortie

Bascule asynchrone : RS :



R: reset.

S: set.



Cas 1 : $R=0$ et $S=0$ et $Q_n=1$

$Q_{n+1} = 0$ et $\bar{Q}_{n+1} = 1$

$R=0$ et $S=0$ et $Q_n=0$

$Q_{n+1} = 0$ et $\bar{Q}_{n+1} = 1$

Cas 2 : $R=1$ et $S=0$ et $Q_n=1$

$Q_{n+1} = 0$ et $\bar{Q}_{n+1} = 1$

Cas 3 : Si $R=0$ et $S=1$

$Q_{n+1} = 1$ et $\bar{Q}_{n+1} = 0$

Cas 4 : $R=1$ et $S=1$

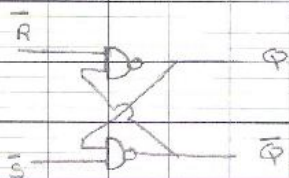
$Q_{n+1} = 0$ et $\bar{Q}_{n+1} = 0$

on ne l'utilise pas.

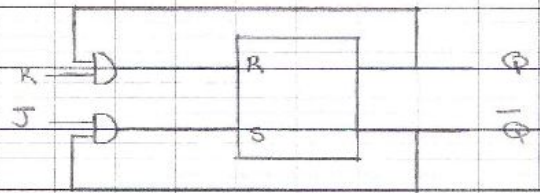


S	R	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q_n	\bar{Q}_n
1	0	1	0
0	1	0	1
1	1	interdit	

\bar{R}	\bar{S}	Q_{n+1}	\bar{Q}_{n+1}
0	0	interdit	
0	1	0	1
1	0	1	0
1	1	Q_n	\bar{Q}_n



Bascule asynchrone JK.



$R = K \cdot Q$

$S = J \cdot \bar{Q}$

Cas 1 : $J = K = 0$

$Q_{n+1} = Q_n$ et $\bar{Q}_{n+1} = \bar{Q}_n$

Cas 2 : $J = 1 ; K = 0$

$S = \bar{Q}_n ; R = 0$

Si $\bar{Q}_n = 0 \rightarrow Q_n = 1$ et $Q_{n+1} = Q_n = 1$ } $Q_{n+1} = 1$
 Si $\bar{Q}_n = 1 \rightarrow Q_{n+1} = 1$

Cas 3 : $J = 0 ; K = 1$

$S = 0 ; R = Q_n$

Si $Q_n = 0 \rightarrow Q_{n+1} = Q_n = 0$ } $Q_{n+1} = 0$
 Si $Q_n = 1 \rightarrow Q_{n+1} = 0$

Cas 4 : $J = K = 1$

$R = Q_n$ et $S = \bar{Q}_n$

Si $Q_n = 1 ; \bar{Q}_n = 0 \Rightarrow R = 1$ et $S = 0$
 $Q_{n+1} = 0$

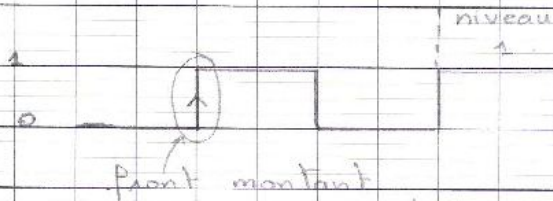
Si $Q_n = 0 ; \bar{Q}_n = 1 \Rightarrow R = 0$ et $S = 1$
 $Q_{n+1} = 1$

A retenir :

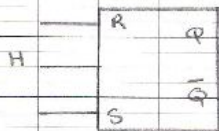


J	K	Q_n	\bar{Q}_n
0	0	Q_n	\bar{Q}_n
1	0	1	0
0	1	0	1
1	1	\bar{Q}_n	Q_n

Bascule synchrone RS (RSH) :

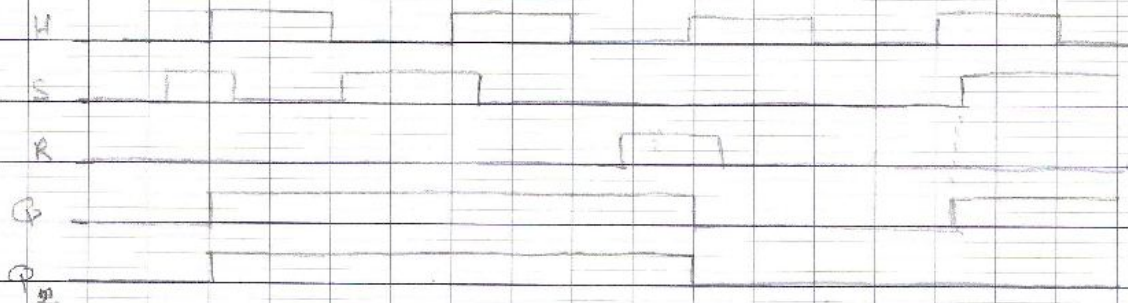


bascule RS déclenchable sur niveau

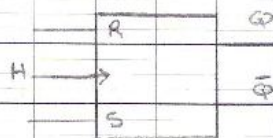


Bascule déclenchable (ou sensible) sur niveau haut.

H	R	S	Q _n
□	0	0	Q _n
□	1	0	0
□	0	1	1
□	1	1	interdit

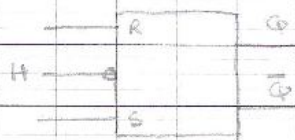


Bascule RS déclenchable sur front montant

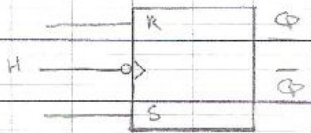


Bascule déclenchable sur front montant.

H	R	S	Q _n
↑	0	0	Q _n
↑	1	0	0
↑	0	1	1
↑	1	1	interdit : inste terminés (voir Q ₂)

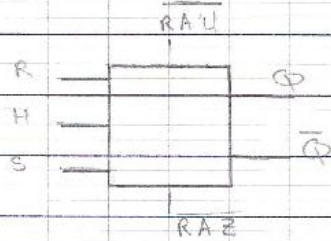


Bascule déclenchable sur niveau bas



Bascule déclenchable sur front descendant.

Remarque : \forall bascule

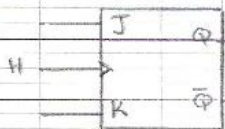


Les bascules présentent généralement deux entrées de forçage RAU (remise à 1) et RAZ (remise à 0)

$\overline{RAU} = 0 \quad \forall$ l'état de R, S et H, $Q_{n+1} = 1$

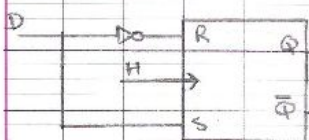
$\overline{RAZ} = 0 \quad \forall$ l'état de R, S et H, $Q_{n+1} = 0$

Bascule JKH (Bascule JK synchrone)

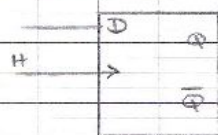


H	J	K	Q_{n+1}
\uparrow	0	0	Q_n
\uparrow	0	1	0
\uparrow	1	0	1
\uparrow	1	1	$\overline{Q_n}$

Bascule D



\approx



C'est une bascule qui a une seule entrée D et une entrée du signal de l'horloge H

Cas 1 : $D=0 \Rightarrow \begin{cases} R=1 \\ S=0 \end{cases} \Rightarrow Q=0$

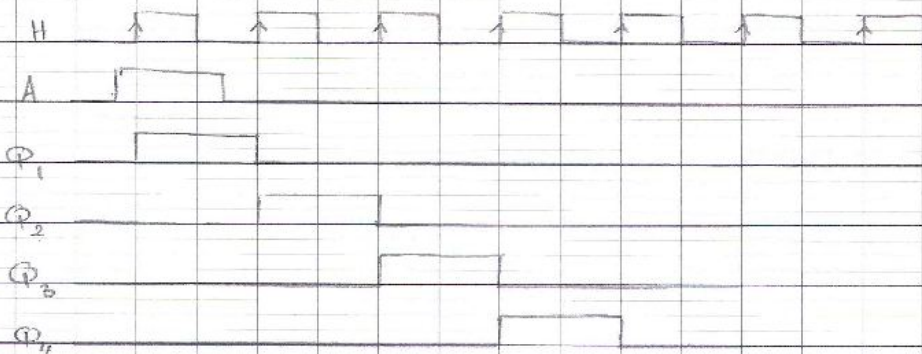
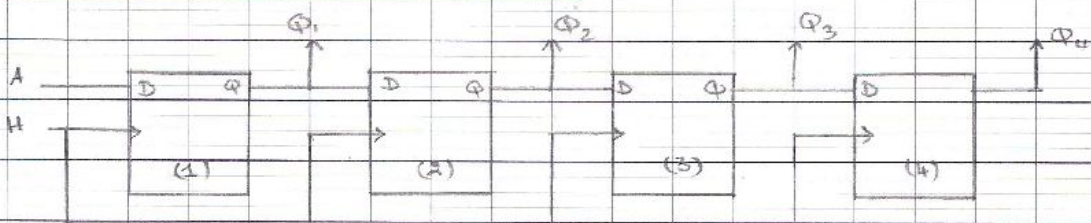
Cas 2 : $D=1 \Rightarrow \begin{cases} R=0 \\ S=1 \end{cases} \Rightarrow Q=1$

H	D	Q_{n+1}
F	1	1
F	0	0

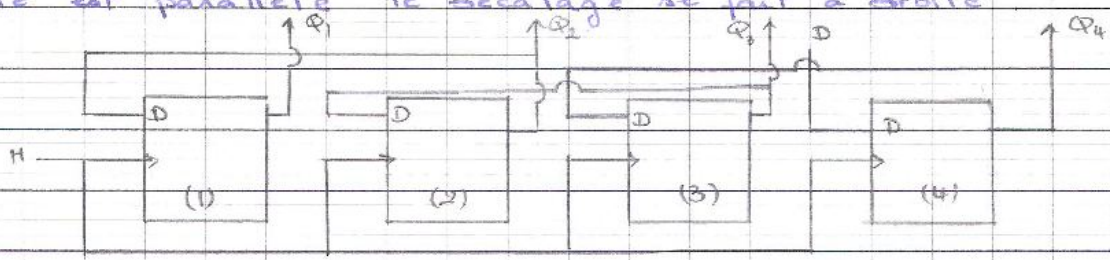
La bascule D est une mémoire



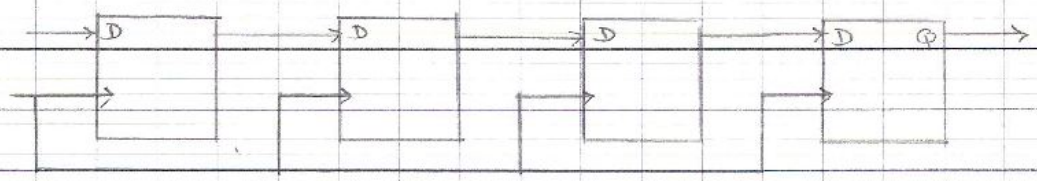
Les registres à décalage :



c'est un registre à décalage dont l'entrée est série et la sortie est parallèle le décalage se fait à droite



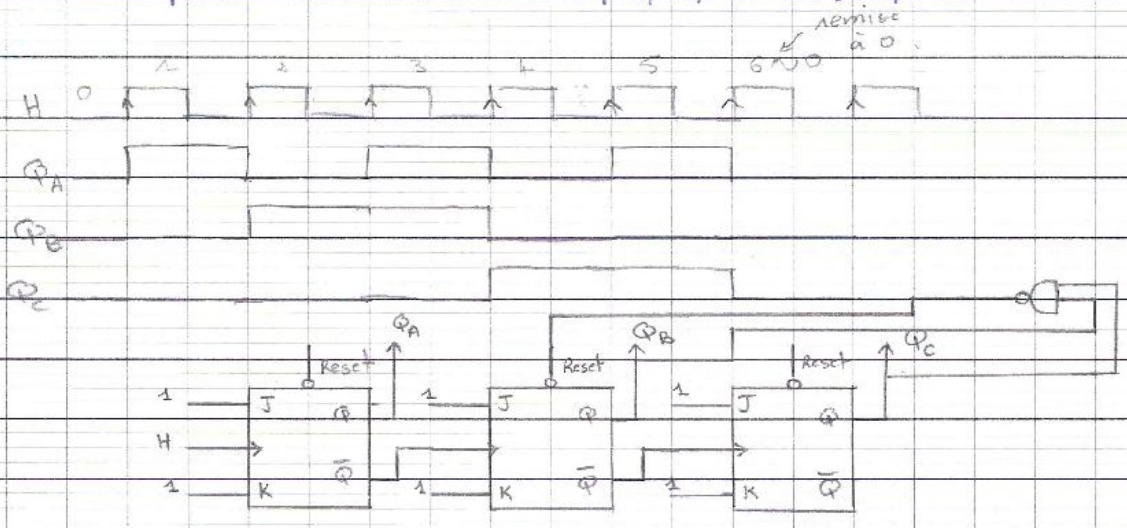
c'est un registre à décalage dont l'entrée est série la sortie est parallèle, le décalage se fait vers la gauche.



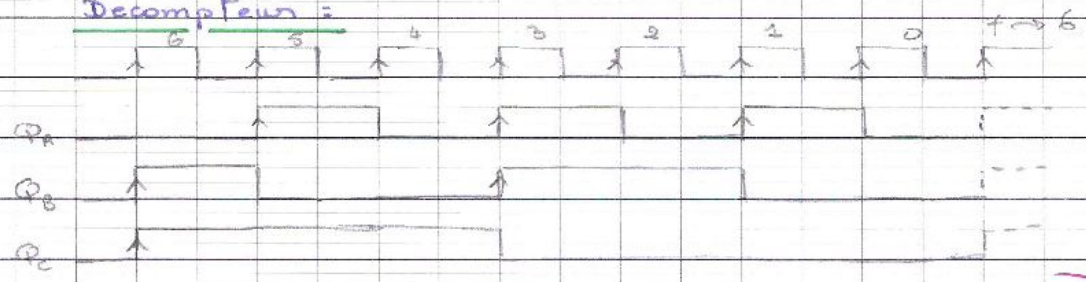
Registres à décalage dont l'entrée et la sortie sont série
les compteurs :

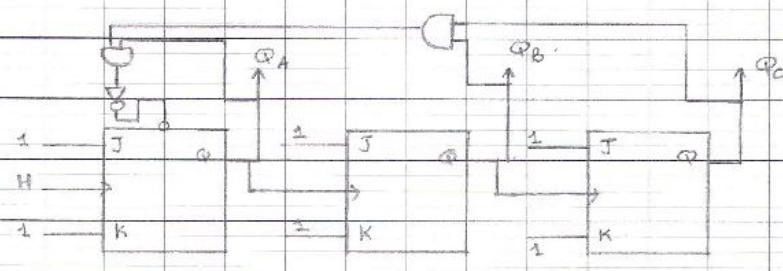
* les compteurs asynchrones :

compteur module n : 0, 1, ..., n-1 → 0, 1



Décompteur :





Les compteurs synchrones :

On veut réaliser un compteur synchrone modulo 6 en utilisant des bascules JK sensibles sur le front montant du signal d'horloge.



J	K	Q_{n+1}
0	0	Q_n
1	0	1
0	1	0
1	1	\bar{Q}_n

Etat initial			Etat suivant			c		b		a	
Q_{cn}	Q_{bn}	Q_{an}	Q_{cn+1}	Q_{bn+1}	Q_{an+1}	J_c	K_c	J	K	J	K
0	0	0	0	0	1	0	ϕ	0	ϕ	1	ϕ
0	0	1	0	1	0	0	ϕ	1	ϕ	ϕ	1
0	1	0	0	1	1	0	ϕ	ϕ	0	1	ϕ
0	1	1	1	0	0	1	ϕ	ϕ	1	ϕ	1
1	0	0	1	0	1	ϕ	0	0	ϕ	1	ϕ
1	0	1	0	0	0	ϕ	1	0	ϕ	ϕ	1

Bascule a : $J_a = K_a = 1$

Bascule b : $J_b = \bar{Q}_c Q_a$

$Q_c \backslash Q_b Q_a$	00	01	11	10
0	0	1	ϕ	ϕ
1	0	0	ϕ	ϕ

$K_b = \bar{Q}_a$

$Q_c \backslash Q_b Q_a$	00	01	11	10
0	ϕ	ϕ	1	0
1	ϕ	ϕ	ϕ	ϕ

Bascule c

$J_c = Q_a \cdot Q_b$

$Q_c \backslash Q_b Q_a$	00	01	11	10
0	0	0	1	0
1	ϕ	ϕ	ϕ	ϕ

$K_c = \bar{Q}_a$

$Q_c \backslash Q_b Q_a$	00	01	11	10
0	ϕ	ϕ	ϕ	ϕ
1	0	1	ϕ	ϕ

